



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 58 779 A 1**

⑤ Int. Cl.⁷:
G 11 C 11/22

⑳ Aktenzeichen: 100 58 779.8
㉑ Anmeldetag: 27. 11. 2000
㉒ Offenlegungstag: 13. 6. 2002

DE 100 58 779 A 1

㉓ **Anmelder:**
Infineon Technologies AG, 81669 München, DE

㉔ **Vertreter:**
Müller - Hoffmann & Partner Patentanwälte, 81667 München

㉕ **Erfinder:**
Jacob, Michael, 81371 München, DE

㉖ **Entgegenhaltungen:**

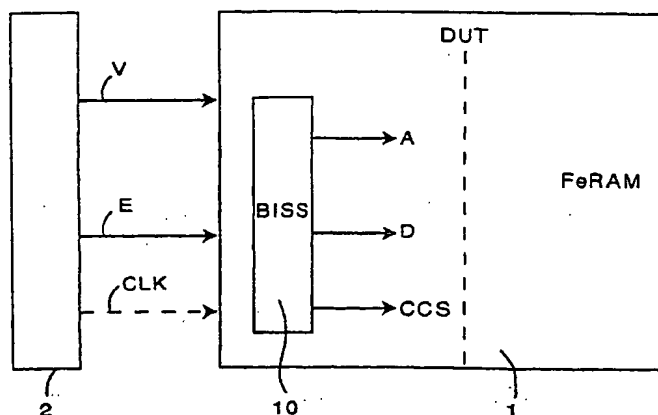
DE	42 01 516 A
US	61 51 693 A
US	60 67 262 A
US	59 82 189 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

㉗ **Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung**

㉘ Die Erfindung betrifft eine Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung. Durch die Integration einer Stresstestschaltung (10) in den den ferroelektrischen Halbleiterspeicher enthaltenden Chip (1) hinein, übernimmt diese integrierte Testschaltung (10) die Aufgabe eines herkömmlichen externen Testautomaten beim Stressen des ferroelektrischen Speichers zum Test von "Fatigue" und Imprint. Dadurch kann Testzeit von externen Testautomaten zur internen Schaltung hin verlagert und durch Beschleunigung des Stresstests Stresszeit eingepart werden.



DE 100 58 779 A 1

Beschreibung

[0001] Die Erfindung betrifft eine Vorrichtung zum Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung.

[0002] Ferroelektrische Speicher (FeRAMs) altern durch

a) Abnahme der remanenten Polarisation infolge wiederholten Umschaltens der Polarisation. Dieser auch als "Fatigue" bezeichnete Effekt tritt durch die im Betrieb häufig wiederholte elektrische Umpolung, d. h. durch bipolares Zykeln, ein. Die reduzierte Polarisation führt dann zu reduzierten Signalen beim Auslesen eines ferroelektrischen Speichers;

b) Verschiebung der Hysteresekurve entlang der Achse des elektrischen Feldes durch Speichern einer gleichbleibenden Polarisation. Dieser auch "Imprint" genannte Effekt ist demnach eine Ermüdungserscheinung, die eintritt, wenn die Polarisation über einen längeren Zeitraum in dieselbe Richtung zeigt. Dies kann sowohl bei der Lagerung des polarisierten ferroelektrischen Speichers als auch bei äußerem Feldeinfluss, d. h. durch unipolares Zykeln geschehen.

[0003] Das Auslesen des ferroelektrischen Speichers zerstört dessen Speicherinhalt ("destructive read") und erfordert bei jedem Lesevorgang das Zurückschreiben der Information. Somit trägt jeder Lesezugriff zum Alterungsprozess entweder durch die oben erwähnte "Fatigue"-Erscheinung oder die "Imprint"-Erscheinung bei. Im Verlauf der Lebensdauer eines ferroelektrischen Halbleiterspeichers können daher sehr hohe Zyklenzahlen, zum Beispiel 10^{15} Zugriffe erreicht werden.

[0004] Um die belastungsbedingte Zuverlässigkeit eines ferroelektrischen Speichers zu testen, müssen solche Speicherbausteine während eines Belastungs- oder Stresstests ebenfalls gezykelt werden. Diese Belastungs- oder Stresstests sind aufgrund der erforderlichen hohen Zyklenzahlen und des Umfangs der Proben zur statistischen Erfassung sehr aufwendig, und die bislang dafür eingesetzten Testautomaten sind sehr teuer.

[0005] Die beiliegende Fig. 3 zeigt schematisch und blockartig eine ferroelektrische Speicherschaltung FeRAM (auch DUT = Device Under Test), die einem derartigen Belastungs- oder Stresstest unterworfen wird, der mit einem herkömmlichen teuren Testautomaten durchgeführt wird. Der als DUT fungierende ferroelektrische Halbleiterspeicher FeRAM empfängt vom Testautomaten die Betriebs- oder Testspannung V_{TEST} . Der Testautomat erzeugt Testadressen und, je nach verwendeter Datentopologie bestimmte Datenmuster D sowie Chipcontrolsignale CCS, und die während des Tests von den adressierenden Adressensequenzen aus den ferroelektrischen Speicherzellen ausgelesenen Daten D werden vom ferroelektrischen Speicher FeRAM zum Testautomaten zurückgeführt. Selbst wenn ein derartiger teurer Testautomat zum parallelen Testen mehrerer ferroelektrischer Speicherbausteine eingerichtet ist, so dauert der Gesamttest aufgrund der hohen Zyklenzahlen und des Probenumfangs sehr lange, weshalb der Testautomat eine lange Zeit zum Testen einer Charge eingesetzt ist.

[0006] Es ist deshalb Aufgabe der Erfindung, eine Vorrichtung zum Belasten bzw. Stressen einer integrierten ferroelektrischen Halbleiterspeicherschaltung so anzugeben, dass der Equipmentaufwand, d. h. der auf die Testausrüstung anfallende Kostenteil, der zum Testen von Fatigue und Imprint sowohl von dem Qualifikationsprozess als auch für Screening und Monitoring produktiver Ware notwendig ist, deutlich reduziert und die Testzeit verkürzt werden kann.

[0007] Die Aufgabe wird anspruchsgemäß gelöst.

[0008] Demnach besteht die Erfindung gemäß einem wesentlichen Aspekt darin, eine spezielle logische Stresstestschaltung, die zur Ausführung der oben beschriebenen Stresstests eingerichtet ist, in dem ferroelektrischen Speicherbaustein bzw. in eine Halbleiterschaltung, in die ein ferroelektrischer Speicherbaustein eingebettet ist mit zu integrieren. Die erfindungsgemäße Stresstestschaltung (auch BISS = Built In Self Stress genannt) ist dazu eingerichtet, in Form eines Testmodus den ferroelektrischen Speicherbaustein selbstständig anzusprechen, zu zykeln und dadurch zu stressen.

[0009] Die zusätzliche Stresstestschaltung BISS kann zum Beispiel durch einen CMOS-Grundprozess ohne zusätzliche Prozessschritte gleichzeitig mit der Schaltung des ferroelektrischen Speicherbausteins hergestellt werden, zum Beispiel wie bei Embedded DRAMs.

[0010] Die erfindungsgemäße Stresstestschaltung macht den Einsatz eines teuren Testautomaten über eine lange Zeitdauer, wie es bislang zum Testen von ferroelektrischen Speicherbausteinen üblich war, überflüssig.

[0011] Die erfindungsgemäße integrierte Stresstestschaltung weist wenigstens folgende Funktionseinheiten auf:

- eine Testmodus-Eingabe/Auswahleinheit zur Eingabe/Auswahl vorbestimmter Testmodi;
- eine Mustergeneratoreinheit zur Erzeugung von Adressensequenzen, mit denen Speicherzellen des ferroelektrischen Speicherbausteins adressiert werden und
- eine Datengenerator/Auswahleinheit zur Generierung und Auswahl der Daten und der jeweiligen physikalischen Datentopologie.

[0012] Die erfindungsgemäße integrierte Stresstestschaltung kann in einer Ausführungsform von außerhalb des Bausteins zugeführte Taktsignale zur zeitlichen Steuerung und Aktivierung einer Stress-Testsequenz empfangen. Bei einer alternativen Ausführungsform kann die erfindungsgemäße integrierte Stresstestschaltung weiterhin eine eigene Zeitsteuerungseinheit aufweisen, die eigene Zeitsteuersignale erzeugen und spezielle Testzyklen steuern kann.

[0013] Zusätzlich können weitere Stresstest-Beschleunigungssysteme in die integrierte Stresstestschaltung integriert werden, wie zum Beispiel Widerstände, mit denen die Temperatur des Bausteins beeinflusst werden kann und Testmodi, mit denen interne Spannungspegel verändert werden können und damit die Stresswirkung erhöht und beschleunigt werden kann.

[0014] Die erfindungsgemäße integrierte Stresstestschaltung (BISS), ermöglicht folgende Vorteile:

- einen geringeren Aufwand für die Testausrüstung zum Erreichen einer vergleichbaren Testabdeckung,
- eine erhöhte Datenmenge bzw. statistische Basis für die Qualifikationstests, für das Screening und Monitoring;
- höhere Zykelfrequenzen im Vergleich zu extern realisierter Stresstestausrüstung;
- verringerte Testkosten, und
- beschleunigte Testabläufe.

[0015] Es sei hier erwähnt, dass mit "Screening" das Herausfiltern fehlerhafter Bausteine oder auch potentieller Ausfallkandidaten durch den Stresstest gemeint ist. Das heißt dass alle ferroelektrischen Speicherbausteine dem Screeningtest unterzogen und nur die guten Bausteine an die Kunden geliefert werden. Mit "Monitoring" ist ein Stichproben-

Abstract:

The present invention refers to a device for stressing an integrated ferroelectrical semiconductor memory circuit. By the integration of a stress test circuit (10) into the chip containing the ferroelectrical semiconductor memory, this integrated test circuit (10) takes over the job of a conventional external automatic device when stressing the ferroelectrical memory for testing fatigue and imprint. Thereby, test time of external test automatic devices can be shifted to the integrated circuit and stress time can be saved by acceleration of the stress test.

Claims 1 and 5

1. A device for stressing an integrated ferroelectrical semiconductor memory circuit, characterized in that the device is a special stress test circuit (10) integrated into the chip (1) of the ferroelectrical semiconductor memory or a special stress test circuit integrated into the chip of a semiconductor circuit that contains an embedded ferroelectrical semiconductor memory.

5. A device as claimed in one of claims 1 to 4, characterized in that the integrated test circuit (10) further comprises a unit for the temperature control of the ferroelectrical semiconductor memory circuit (1) to be tested during a test sequence.

- Leerseite -

Fig. 1

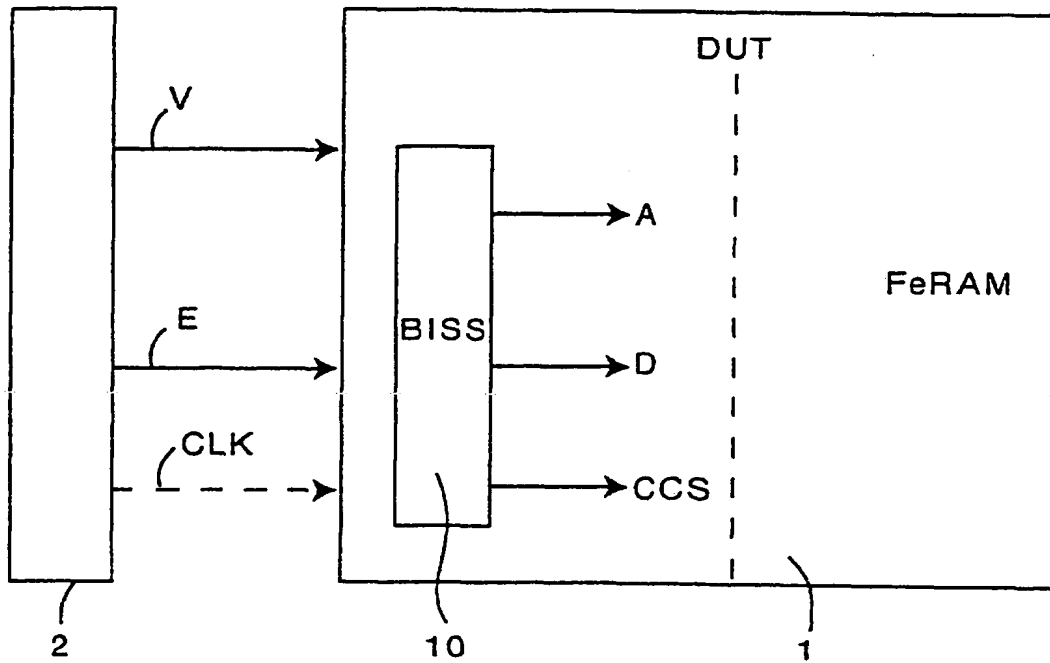


Fig. 2

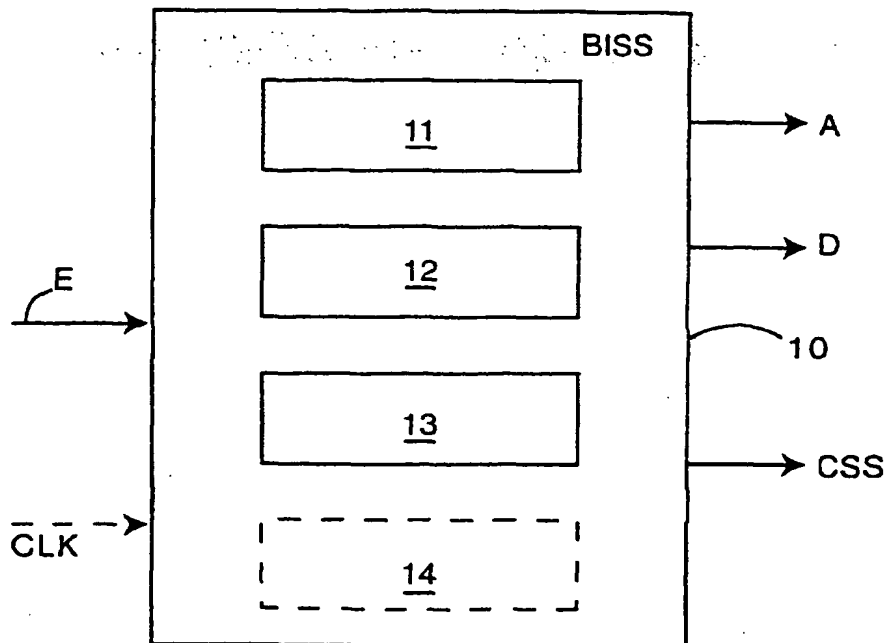


Fig. 3

Stand der Technik

